Offer #2025-09026

Doctorant F/H Programmation asynchrone sous contraintes mémoire

The offer description below is in French

Contract type : Fixed-term contract

Level of qualifications required : Graduate degree or equivalent

Fonction : PhD Position

Level of experience : Recently graduated

About the research centre or Inria department

Le Centre Inria de l'Université Grenoble Alpes, regroupe un peu moins de 600 personnes réparties au sein de 24 équipes de recherche et 9 services support à la recherche.

Son effectif est distribué sur 3 campus à Grenoble, en lien étroit avec les laboratoires et les établissements de recherche et d'enseignement supérieur (Université Grenoble Alpes, CNRS, CEA, INRAE, …), mais aussi avec les acteurs économiques du territoire.

Présent dans les domaines du calcul et grands systèmes distribués, logiciels sûrs et systèmes embarqués, la modélisation de l'environnement à différentes échelles et la science des données et intelligence artificielle, le Centre Inria de l'Université Grenoble Alpes participe au meilleur niveau à la vie scientifique internationale par les résultats obtenus et les collaborations tant en Europe que dans le reste du monde.

Context

Ecole doctorale MSTII, Université Grenoble Alpes.

Encadrant Fabrice Rastello

Dans le cadre du projet Holigrail du PEPR IA, l'équipe CORSE participe au développement d'infrastructures de compilation optimisante pour le deep learning. C'est dans ce cadre qu'elle développe des outlls permettant d'analyser un code optimisé afin, en particulier, de faciliter le "debug de performance". Elle développe aussi des outils de prédiction de performance à la fois basée sur des approches empiriques mais aussi sur des approches analytiques ou comportementales. Ces prédictions plux rapide qu'un cycle complet de compilation+exécution servent à la fois à l'optimisation de performance mais aussi à des passes de compression effectuées en amont de la compilation (eg élagage, décomposition, etc). Ces modèles comportementaux sont basés sur des techniques de "reverse engineering" de micro-architecture. C'est ce à quoi cette thèse se propose de contribuer.

Assignment

La mission principales est de mener un projet de recherche doctoral visant à résoudre le défi croissant de la compréhension des performances des microarchitectures de processeurs modernes. Face à la prolifération de conceptions complexes et hétérogènes (Intel P/E-cores, ARM spécialisés comme Google Axion, AWS Graviton), il est crucial de développer des méthodologies de caractérisation plus évolutives, précises et portables que les approches existantes en "boîte noire" ou "boîte blanche".

Le ou la doctorant(e) aura pour objectif principal d'établir un nouveau paradigme de modélisation "boîte grise", qui exploite la stabilité des principes de conception fondamentaux des pipelines superscalaires, tels que l'algorithme de Tomasulo. Cette approche intermédiaire permettra d'obtenir des insights plus profonds que les méthodes basées sur l'observation pure (boite "blanche", sans la complexité et le manque de portabilité des analyses basées sur l'ingénierie inverse (boites "noires").

Les activités principales dans le cadre de cette thèse incluront :

- Développer une méthodologie pour générer des micro-benchmarks portables : Concevoir des benchmarks capables de créer des goulots d'étranglement analytiques et ciblés au sein du pipeline du processeur, indépendamment des spécificités et de la documentation obscure des fournisseurs.
- Formuler la tâche d'inférence des paramètres matériels comme un problème d'optimisation contrainte : Intégrer les régularités architecturales inhérentes du pipeline comme des contraintes fortes, guidant le processus d'inférence vers des modèles de performance précis et fidèles à la microarchitecture réelle.
- Concevoir un modèle générique et portable du pipeline de processeur : Élaborer un modèle holistique qui représente fidèlement les interactions complexes entre les composants *frontend* et *backend* du processeur, offrant ainsi une compréhension plus complète et réaliste du comportement microarchitectural.

Ce projet de thèse contribuera de manière significative à la recherche académique en offrant une nouvelle approche pour la compréhension et la prédiction des performances des CPU superscalaires. Les résultats permettront non seulement d'avancer la science fondamentale des architectures informatiques, mais aussi de fournir des outils essentiels pour l'optimisation des logiciels haute performance dans un écosystème matériel en constante mutation notamment dans le domaine du

deep learning.

Main activities

Principales activés :

- développement d'algorithmes de benchmarking
- diffusion scientifique

Skills

Compétences techniques et niveau requis : micro-architecture matérielle, compteurs matériels, code bas niveau (assembleur), bonne compétences en algorithmique et en système

Langues : Anglais, Français

Benefits package

- Restauration subventionnée
- Transports publics remboursés partiellement
- Congés : 7 semaines de congés annuels + 10 jours de RTT (base temps plein) + possibilité d'autorisations d'absence exceptionnelle (ex : enfants malades, déménagement)
- Possibilité de télétravail (90 jours par an flottants) et aménagement du temps de travail (sauf pour les stagiaires et apprentis)
- Prestations sociales, culturelles et sportives (Association de gestion des œuvres sociales d'Inria)
- Accès à la formation professionnelle
- Participation employeur mutuelle santé (sous conditions)

Remuneration

2 200 euros brut /mois

General Information

- **Theme/Domain :** Architecture, Languages and Compilation
  Software engineering (BAP E)
- **Town/city :** grenoble
- **Inria Center :** Centre Inria de l'Université Grenoble Alpes
- **Starting date :** 2025-09-01

- **Duration of contract :** 3 years
- **Deadline to apply :** 2025-07-18

Contacts

- **Inria Team :** CORSE
- **PhD Supervisor :**
  Rastello Fabrice / fabrice.rastello@inria.fr

About Inria

Inria is the French national research institute dedicated to digital science and technology. It employs 2,600 people. Its 200 agile project teams, generally run jointly with academic partners, include more than 3,500 scientists and engineers working to meet the challenges of digital technology, often at the interface with other disciplines. The Institute also employs numerous talents in over forty different professions. 900 research support staff contribute to the preparation and development of scientific and entrepreneurial projects that have a worldwide impact.

The keys to success

Le candidat devra avoir un excellent niveau de programmation, une bonne connaissance pour les détails micro-architecturaux de cpu (super-scalaires), de bonnes notions de système et d'optimisation de performance. Le sujet requiert également un esprit analytique ainsi qu'une bonne créativité.

Warning : you must enter your e-mail address in order to save your application to Inria. Applications must be submitted online on the Inria website. Processing of applications sent from other channels is not guaranteed.

Instruction to apply

Les candidatures doivent être déposées en ligne sur le site Inria.

Les candidatures doivent comprendre un CV, une lettre de motivation, copie du relevé de notes de master (au moins M2), une lettre de recommandation du responsable du stage de Master (ou équivalent), possiblement lettre de recommandation du responsable de master.

Defence Security :
This position is likely to be situated in a restricted area (ZRR), as defined in Decree No. 2011-1425 relating to the protection of national scientific and technical potential (PPST).Authorisation to enter an area is granted by the director of the unit, following a favourable Ministerial decision, as defined in the decree of 3 July 2012 relating to the PPST. An unfavourable Ministerial decision in respect of a position situated in a ZRR would result in the cancellation of the appointment.

Recruitment Policy :
As part of its diversity policy, all Inria positions are accessible to people with disabilities.